

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3069545号

(P3069545)

(45) 発行日 平成12年7月24日 (2000.7.24)

(24) 登録日 平成12年5月19日 (2000.5.19)

| (51) Int.Cl. ⁷ | 識別記号 | F I |
|---------------------------|------|-----------------|
| H 0 1 L 43/06 | | H 0 1 L 43/06 S |
| 21/203 | | 21/203 M |
| 21/338 | | 43/08 S |
| 29/778 | | 29/80 H |
| 29/812 | | |

請求項の数21(全 24 頁) 最終頁に続く

| | | | |
|--------------|------------------------|-----------|--------------------|
| (21) 出願番号 | 特願平10-30220 | (73) 特許権者 | 000000033 |
| (62) 分割の表示 | 特願平4-189750の分割 | | 旭化成工業株式会社 |
| (22) 出願日 | 平成4年7月16日 (1992.7.16) | | 大阪府大阪市北区堂島浜1丁目2番6号 |
| (65) 公開番号 | 特開平10-233539 | (72) 発明者 | 柴崎 一郎 |
| (43) 公開日 | 平成10年9月2日 (1998.9.2) | | 静岡県富士市鮫島2番地の1 旭化成工 |
| 審査請求日 | 平成11年7月16日 (1999.7.16) | (72) 発明者 | 久世 直洋 |
| (31) 優先権主張番号 | 特願平3-175349 | | 静岡県富士市鮫島2番地の1 旭化成工 |
| (32) 優先日 | 平成3年7月16日 (1991.7.16) | (72) 発明者 | 永瀬 和宏 |
| (33) 優先権主張国 | 日本 (J P) | | 静岡県富士市鮫島2番地の1 旭化成工 |
| (31) 優先権主張番号 | 特願平4-178706 | (74) 代理人 | 100077481 |
| (32) 優先日 | 平成4年7月6日 (1992.7.6) | | 弁理士 谷 義一 |
| (33) 優先権主張国 | 日本 (J P) | | |
| (31) 優先権主張番号 | 特願平4-178707 | 審査官 | 市川 篤 |
| (32) 優先日 | 平成4年7月6日 (1992.7.6) | | |
| (33) 優先権主張国 | 日本 (J P) | | |

最終頁に続く

(54) 【発明の名称】 化合物半導体を含む積層体およびその製造方法

1

(57) 【特許請求の範囲】

【請求項1】 基板上に形成されたAl, Ga, In, AsおよびPからなる群より選択されるSbを含む3元素以上の第一化合物半導体層と、該層の上に形成されたInAs薄膜からなる半導体層とを有し、該第一化合物半導体がInAsの格子定数の±5%以内の格子定数を有し、前記薄膜からなる半導体層の少なくとも5倍以上の抵抗値を有し、かつInAsより大きなバンドギャップエネルギーを有しており、および前記薄膜からなる半導体層にドナー不純物がドーブされていることを特徴とする化合物半導体を含む積層体。

【請求項2】 前記薄膜からなる半導体層の電子濃度が、 $5 \times 10^{16} \sim 8 \times 10^{18} / \text{cm}^3$ の範囲であることを特徴とする請求項1に記載の積層体。

【請求項3】 前記第一化合物半導体層にドナー不純物

2

がドーブされていることを特徴とする請求項1または2に記載の積層体。

【請求項4】 基板上に形成されたAl, Ga, In, AsおよびPからなる群より選択されるSbを含む3元素以上の第一化合物半導体層と、該層の上に形成された $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1.0$)薄膜からなる半導体層とを有し、該第一化合物半導体が $\text{In}_x\text{Ga}_{1-x}\text{As}$ の格子定数の±5%以内の格子定数を有し、前記薄膜からなる半導体層の少なくとも5倍以上の抵抗値を有し、かつ $\text{In}_x\text{Ga}_{1-x}\text{As}$ より大きなバンドギャップエネルギーを有していることを特徴とする化合物半導体を含む積層体。

【請求項5】 基板上に形成されたAl, Ga, In, AsおよびPからなる群より選択されるSbを含む3元素以上の第一化合物半導体層と、該層の上に形成された

3

$\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 < x \leq 1.0$, $0 \leq y < 1.0$) 薄膜からなる半導体層を有し、該第一化合物半導体が $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ の格子定数の $\pm 5\%$ 以内の格子定数を有し、前記薄膜からなる半導体層の少なくとも5倍以上の抵抗値を有し、かつ $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ より大きなバンドギャップエネルギーを有していることを特徴とする化合物半導体を含む積層体。

【請求項6】 前記薄膜からなる半導体層の電子濃度が、 $5 \times 10^{18} \sim 8 \times 10^{18} / \text{cm}^3$ の範囲であることを特徴とする請求項4または5に記載の積層体。

【請求項7】 前記第一化合物半導体層にドナー不純物がドーピングされていることを特徴とする請求項4ないし6のいずれかの項に記載の積層体。

【請求項8】 前記薄膜からなる半導体にドナー不純物がドーピングされていることを特徴とする請求項4ないし7のいずれかの項に記載の積層体。

【請求項9】 前記ドナー不純物が、Si、S、Ge、Seのいずれかであることを特徴とする請求項1ないし3、7または8のいずれかの項に記載の積層体。

【請求項10】 前記薄膜からなる半導体層の上面に、第二化合物半導体層が形成されていて、該第二化合物半導体が、前記薄膜からなる半導体層の格子定数の $\pm 5\%$ 以内の格子定数を有し、前記薄膜からなる半導体層の少なくとも5倍以上の抵抗値を有し、かつ前記薄膜からなる半導体層より大きなバンドギャップエネルギーを有していることを特徴とする請求項1に記載の積層体。

【請求項11】 前記薄膜からなる半導体層の電子濃度が、 $5 \times 10^{18} \sim 8 \times 10^{18} / \text{cm}^3$ の範囲であることを特徴とする請求項10に記載の積層体。

【請求項12】 前記第一化合物半導体層、及び前記第二化合物半導体層の両方、もしくはいずれか一方にドナー不純物がドーピングされていることを特徴とする請求項10または11に記載の積層体。

【請求項13】 前記薄膜からなる半導体層の上面に、第二化合物半導体層が形成されていて、該第二化合物半導体が、前記薄膜からなる半導体層の格子定数の $\pm 5\%$ 以内の格子定数を有し、前記薄膜からなる半導体層の少なくとも5倍以上の抵抗値を有し、かつ前記薄膜からなる半導体層より大きなバンドギャップエネルギーを有していることを特徴とする請求項4または5のいずれかの項に記載の積層体。

【請求項14】 前記薄膜からなる半導体層の電子濃度が、 $5 \times 10^{18} \sim 8 \times 10^{18} / \text{cm}^3$ の範囲であることを特徴とする請求項13に記載の積層体。

【請求項15】 前記第一化合物半導体層、及び前記第二化合物半導体層の両方、もしくはいずれか一方にドナー不純物がドーピングされていることを特徴とする請求項13または14に記載の積層体。

【請求項16】 前記薄膜からなる半導体にドナー不純

4

物がドーピングされていることを特徴とする請求項13ないし15のいずれかの項に記載の積層体。

【請求項17】 前記ドナー不純物が、Si、S、Ge、Seのいずれかであることを特徴とする請求項10ないし12、15または16のいずれかの項に記載の積層体。

【請求項18】 基板の上に InAs の格子定数の $\pm 5\%$ 以内の格子定数を有しており、かつ InAs より大きなバンドギャップエネルギーを有する Al 、 Ga 、 In 、 As および P からなる群より選択される Sb を含む3元素以上の第一化合物半導体層を形成する工程と、該層の上に形成されたドナー不純物をドーピングされた InAs 薄膜からなる半導体層を形成する工程を有し、前記第1化合物半導体層が、前記薄膜からなる半導体層の少なくとも5倍以上の抵抗値を有することを特徴とする化合物半導体を含む積層体の製造方法。

【請求項19】 基板の上に $\text{In}_x\text{Ga}_{1-x}\text{As}$ の格子定数の $\pm 5\%$ 以内の格子定数を有しており、かつ $\text{In}_x\text{Ga}_{1-x}\text{As}$ より大きなバンドギャップエネルギーを有する Al 、 Ga 、 In 、 As および P からなる群より選択される Sb を含む3元素以上の第一化合物半導体層を形成する工程と、該層の上に形成された $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1.0$) 薄膜からなる半導体層を形成する工程を有し、前記第1化合物半導体層が、前記薄膜からなる半導体層の少なくとも5倍以上の抵抗値を有することを特徴とする化合物半導体を含む積層体の製造方法。

【請求項20】 基板の上に $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ の格子定数の $\pm 5\%$ 以内の格子定数を有しており、かつ $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ より大きなバンドギャップエネルギーを有する Al 、 Ga 、 In 、 As および P からなる群より選択される Sb を含む3元素以上の第一化合物半導体層を形成する工程と、該層の上に形成された $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 < x \leq 1.0$, $0 \leq y < 1.0$) 薄膜からなる半導体層を形成する工程を有し、前記第1化合物半導体層が、前記薄膜からなる半導体層の少なくとも5倍以上の抵抗値を有することを特徴とする化合物半導体を含む積層体の製造方法。

【請求項21】 前記薄膜からなる半導体層の上面に、該半導体層の格子定数の $\pm 5\%$ 以内の格子定数を有し、前記薄膜からなる半導体層より大きなバンドギャップエネルギーを有し、かつ前記薄膜からなる半導体層の少なくとも5倍以上の抵抗値を有する第二化合物半導体層が形成する工程を有することを特徴とする請求項18ないし20のいずれかの項に記載の積層体の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、磁気センサや電子デバイスに応用できる化合物半導体を含む積層体に関するものである。

【0002】

【従来の技術】InAsはきわめて高い電子移動度を持つ材料であり、高感度磁気センサなどへの応用が期待されてきたが、1) 高電子移動度が得られるほど良好な結晶性を有したInAs薄膜の成長が困難である、2) InAsのバンドギャップが狭いために磁気センサとして使用した場合高温での温度特性が劣る、という製造プロセスと素子特性の両方に問題があった。

【0003】これまでInAs薄膜の成長が様々な基板上に試みられてきたが、薄膜の単結晶を成長させるための絶縁性の基板の格子定数がInAsと大きく異なり、そのために基板上に成長したInAs結晶は基板との界面近くに格子の乱れが発生し、低い電子移動度となり、十分にその特性を得るに至っていない。また、このような特性の膜は素子の製造工程による特性の変動が大きく、また抵抗値の温度特性も悪くなる傾向が見られる。このため厚さの薄いInAs薄膜を感磁部とする磁気センサを造ろうとすると電子移動度が低くなり高感度の磁気センサの製作は難しかった。

【0004】また、InAsの温度特性を改良するために、バンドギャップを広げる目的でGaを導入したInGaAsの3元混晶系が試みられてきた。InGaAsと格子定数が一致する絶縁性の基板としてInPが存在するが、InPと格子整合するInとGaの組成比は、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ だけであり、InGaAsの任意の組成に対応する絶縁性基板は存在しない。そのためInPとは異なる格子定数をもつInGaAsの薄膜成長においてもInAs同様に基板との界面に発生する格子乱れを抑えることができず、高電子移動度のInGaAs薄膜を得るのは困難であった。

【0005】さらに、厚さを薄くして大きなシート抵抗値を得ることも必要であるが、格子の乱れによりキャリア濃度の制御も難しく、このため、電子移動度が大きく、かつ、シート抵抗値の大きい磁気センサに好ましいInAs系薄膜を得ることは難しかった。

【0006】これまでにInAs薄膜を感磁層に利用した磁気センサの技術として、特公平2-24033号、特開昭61-20378号と特開昭61-259583号公報がある。特公平2-24033号公報では、InAsの感磁層にS、Siをドーピングして素子の温度特性を改良したホール素子が提案されているが、100℃を越える高温で、素子抵抗値の低下が見られており、高温でホール素子を使用した場合の信頼性に問題があった。特開昭61-20378号公報では、半絶縁性GaAs基板上に結晶成長させたInAsまたはInGaAsを感磁層とするホール素子が提案されているが、GaAs基板とInAs層の界面には格子乱れが発生し、その影響のために高温での信頼性および感度もまだ不十分であった。また、特開昭61-259583号公報では、サファイア基板上に形成されたInAsを感磁層とするホール素子が提案されているが、100℃を越える

高温での素子抵抗値の低下が見られ、高温で使用する場合の信頼性は不十分であった。このため、従来とは異なる根本的に化合物半導体を含む積層体の高電子移動度を実現できる技術が求められていた。

【0007】

【発明が解決しようとする課題】本発明は、結晶の格子の乱れのない高電子移動度のセンサ薄膜層を製作し、工程による特性変化がなく、温度特性にも優れた高感度半導体センサを実現することを目的とする。

【0008】

【課題を解決するための手段】本発明者は、このようなInAs系薄膜の問題点を解決し、電子移動度の大きい半導体層の製作方法を検討した。その結果、InAsと格子定数が同じか、もしくは、近い値をもち、InAsよりバンドギャップエネルギーの大きい化合物半導体層を形成したのち、その上に、InAsを結晶成長させると、膜厚が薄くてもInAsの非常に大きな電子移動度が得られる事を見いだした。さらに、InAsに格子整合する該化合物半導体層を用いれば、結晶性の良いInAs超薄膜を形成させることができ、InAs超薄膜の量子効果から、素子特性を改善できることを見いだした。前述のInAs超薄膜は、ドナー不純物をドーピングされている。また、InAsよりもさらにバンドギャップを広げるためにInAsにGaを導入したInGaAsにおいても、InGaAsに格子整合する化合物半導体層を用いれば、結晶性のよいInGaAs超薄膜の形成が可能となり、素子とした場合の温度特性も改良できることを見いだした。さらに超薄膜による量子効果を利用すれば、InAsやInGaAsにSbを導入し、さらなる高感度を実現できることを見だし、本発明を完成した。即ち、高抵抗の第一化合物半導体層と、該層の上に形成されたInAs層と、該InAs層の上に形成されたオーム性電極を有する磁気センサであって、該第一化合物半導体がInAsと格子定数が同じか、もしくは、近い値をもち、InAsより大きいバンドギャップエネルギーをもつことを特徴とする磁気センサである。また、該InAs層がInAs層にGaやSbが導入された3元系もしくは4元系混晶であってもよい。即ち、InAs層が $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1.0$) や $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 < x \leq 1.0, 0 \leq y < 1.0$) であってもよい。以下、InAs層、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1.0$) 層及び $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 < x \leq 1.0, 0 \leq y < 1.0$) 層を総称して半導体層と呼ぶことにする。

【0009】さらに、該半導体層の上面には、半導体層を構成する結晶と格子定数が同じか、もしくは、近い値をもち、該結晶より大きいバンドギャップエネルギーをもつ高抵抗の第二化合物半導体層が、形成されていてよい。

【0010】さらに、該半導体層と第一及び第二化合物

半導体層の界面の欠陥を減らして高電子移動度を実現するために、該界面の一方もしくは、両方の結合種が、半導体層側は半導体層を構成する結晶から選ばれたIII族、そして第一及び第二化合物半導体層側は該化合物半導体から選ばれたV族から形成されることが好ましい。また界面の結合種が半導体層側は半導体層を構成する結晶から選ばれたV族、そして第一及び第二化合物半導体層側は該化合物半導体から選ばれたIII族から形成されていてもよい。また該III族-V族結合の間に中間層が挿入されていてもよい。

【0011】さらに該半導体層には電気伝導にあずかる電子が存在するが、その電子濃度は $5 \times 10^{16} \sim 8 \times 10^{18} / \text{cm}^3$ の範囲が好ましく、 $8 \times 10^{16} \sim 3 \times 10^{18} / \text{cm}^3$ は、より好ましい範囲である。半導体層として $\text{In}_x \text{Ga}_{1-x} \text{As}$ ($0 < x < 1.0$)層及び $\text{In}_x \text{Ga}_{1-x} \text{As}_y \text{Sb}_{1-y}$ ($0 < x \leq 1.0, 0 \leq y < 1.0$)層を用いる際には、必要に応じて該半導体層にドナー不純物がドーピングされてもよい。また、半導体層に対してバリア層となる第一および第二化合物半導体層にドーピングしてもよい。さらに半導体層とドーピングされたバリア層の間にはスペーサー層を導入することがよく行われる。

【0012】本発明の半導体層の上に形成される電極は、半導体層に直接オーミックコンタクトして形成されることが好ましく行われるが、第二化合物半導体層が存在する場合には、第二化合物半導体層の上に電極が形成されたのちに、第二化合物半導体層を介して、アニールなどで半導体層にオーミックコンタクトさせることも行われる。

【0013】さらに、高抵抗の第一化合物半導体層を形成する工程と、該層の上に半導体層を形成する工程でしか、該第一化合物半導体が半導体層を構成する結晶と格子定数が同じか、もしくは、近い値をもち、該結晶より大きいバンドギャップエネルギーを持っていることを特徴とする積層体の製造方法である。さらに、必要に応じて、前記第二化合物半導体層が半導体層の上面に形成される工程が含まれる。また、必要に応じて半導体層、第一または第二化合物半導体層にドーピングする工程も含まれる。

【0014】

【実施例】次に、本発明をさらに詳細に説明する。

【0015】図1は本発明の基本となる化合物半導体を含む積層体を用いて製作された高感度ホール素子を示す。図1-(a)は断面を模式的に示したものである。図1-(b)は上面からみた図である。図1に於いて1は基板、2は半導体層を構成する結晶と格子定数が同じか、もしくは近い値を有し、かつ、該結晶より大きいバンドギャップエネルギーをもつ高抵抗の第一化合物半導体層であり、3は半導体層を示している。4(41、42、43、44)はオーム性の電極を示している。また、5(51、52、53、54)はボンディングの為

の電極である。ここでは簡単の為に磁気センサチップのみを示した。図2は本発明の他の実施例を示したものであり、6は高抵抗の第二化合物半導体層である。また、7は半導体層中にドーピングされたドナー不純物を示している。8は半導体の表面を保護するために必要に応じて形成された絶縁物からなるパッシベーション層を示す。

【0016】本発明に於いて、半導体層中にドーピングされたドナー不純物は7で示してあるがこの不純物の位置は全体に一樣でも、また、定められた位置のみでもよい。例えば、中央部のみにドーピングされてもよく、また、一部をドーピングし他の部位はドーピングされなくてもよい。さらに、中央部は多く周辺部は少なくともよい。また、中央部は少なく、周辺部に多く不純物がドーピングされることもよく行われる。これらは層別に分けて行われてもよい。本発明で半導体層にドーピングされる不純物は、一般に半導体層を構成する結晶にドナーとして作用するものなら何でもよく、S、Si、Ge、Seなどは好ましいものである。

【0017】本発明の半導体層を構成する $\text{In}_x \text{Ga}_{1-x} \text{As}_y \text{Sb}_{1-y}$ 層のInとGaの組成比は $0 < x \leq 1.0$ であり、好ましくは $0.6 \leq x \leq 1.0$ である。さらにInAsの高電子移動度を利用するためには $0.8 \leq x \leq 1.0$ がより好ましい。また、 $\text{In}_x \text{Ga}_{1-x} \text{As}_y \text{Sb}_{1-y}$ 層のAsとSbの組成比は $0 \leq y \leq 1.0$ であるが、好ましくは $0.4 \leq y \leq 1.0$ 、より好ましくは $0.6 \leq y \leq 1.0$ の範囲である。ただし、 $x = 1.0$ および $y = 1.0$ の場合には、半導体層にドナー不純物がドーピングされることを条件とする。半導体層の厚さは、 $1.4 \mu\text{m}$ 以下、好ましくは、 $0.5 \mu\text{m}$ 以下、より好ましくは、 $0.3 \mu\text{m}$ 以下である。 $0.2 \mu\text{m}$ 以下もより高感度の半導体センサを製作するためによく用いられる。また、 $0.1 \mu\text{m}$ 以下は、より大きな入力抵抗値の半導体センサを製作するために好ましく用いられる。また、さらに該半導体層を薄くし、第一及び、必要に応じて第二化合物半導体層により半導体層に電子を閉じ込め、量子井戸を形成し、量子効果により耐熱、耐圧等を向上させることも行われる。この場合は半導体層の厚みは、 500 \AA 以下であり、好ましくは 300 \AA 以下、より好ましくは 200 \AA 以下である。また、特に、薄い半導体層を用いる場合、本発明では、第一、もしくは、第二の化合物半導体層の半導体層の境界面の近くにドナー不純物のドーピングを行い、該不純物より供給される電子を境界面を越えて半導体層に供給することにより半導体層中の不純物による散乱を少なくし、高感度化のためにより高い電子移動度を得ることもしばしば行われる。この場合、半導体層中の電気伝導は、第一または第二の化合物半導体層から半導体層へ供給される電子が担う場合と、さらに、半導体層中に存在した電子や半導体層中にドーピングされているドナー不純物原子より供給される電子との混合伝導の場合もある。図3にこのような本発明の

実施例を示した。9はこのような目的で高抵抗の化合物半導体層にドーパされたドナー不純物である。図3-

(a)は第一の化合物半導体層にドナー不純物がドーパされた例である。図3-(b)は第二の化合物半導体層にドーパされた例である。ドナー不純物9より半導体層中に供給される電子は二次元的に広がった電子ガスを形成している場合もあるが、半導体層中のドナー不純物7より供給された電子と共に電気伝導にあずかる。この目的でドーパする不純物9は、ドナー不純物として作用するものなら何でもよいが、Si、S、Ge、Seなどは

【0018】本発明の積層体に用いる高抵抗の第一及び第二の化合物半導体層の抵抗値は絶縁もしくは半絶縁性が好ましいが、これらに準じた高い抵抗値でもよい。たとえば、第一及び第二化合物半導体層の抵抗値が半導体層の抵抗値に対して少なくとも5〜10倍以上高く、好ましくは100倍以上、より好ましくは1000倍以上高いものである。

【0019】本発明の積層体に用いられている半導体層がその上に形成される、第一化合物半導体層、及び、半導体層の上面に形成される第二の化合物半導体層は、一般に半導体層を構成する結晶と同じ格子定数を有するか、もしくは近い値を有する化合物半導体で、かつ、バンドギャップエネルギーが該結晶より大きい値をもてばよい。たとえば、GaSb、AlSb、Al_{1-x}Ga_{1-x}Sb、GaAs_{1-x}Sb_{1-x}、AlAs_{1-x}Sb_{1-x}、Al_{1-x}Ga_{1-x}As_{1-x}Sb_{1-x}、Al_{1-x}In_{1-x}As_{1-x}Sb_{1-x}、Al_{1-x}In_{1-x}P_{1-x}Sb_{1-x}やAl_{1-x}Ga_{1-x}P_{1-x}Sb_{1-x}などは格子定数が半導体層を構成する結晶と同じか、もしくは、近い値を有する組成が可能であり、かつ、バンドギャップエネルギーも該結晶に比べて大きい値をもち、好ましい材料である。該化合物半導体層において、Al_{1-x}Ga_{1-x}As_{1-x}Sb_{1-x}では、{0 ≤ a₁ ≤ 1.0, 0 ≤ c₁ ≤ 0.6}が好ましく、{0.5 ≤ a₁ ≤ 1.0, 0 ≤ c₁ ≤ 0.4}がより好ましい範囲である。Al_{1-x}In_{1-x}As_{1-x}Sb_{1-x}では、{0.2 ≤ b₁ ≤ 1.0, 0 ≤ c₁ ≤ 1.0}が好ましく、{0.5 ≤ b₁ ≤ 1.0, 0 ≤ c₁ ≤ 0.8}がより好ましい範囲である。Al_{1-x}In_{1-x}P_{1-x}Sb_{1-x}は、{0 ≤ b₁ ≤ 1.0, 0 ≤ d₁ ≤ 1.0}であるが、{0.1 ≤ b₁ ≤ 1.0, 0.1 ≤ d₁ ≤ 0.8}が好ましい範囲である。Al_{1-x}Ga_{1-x}P_{1-x}Sb_{1-x}では、{0 ≤ a₁ ≤ 1.0, 0 ≤ d₁ ≤ 0.5}が好ましく、{0.5 ≤ a₁ ≤ 1.0, 0 ≤ d₁ ≤ 0.35}がより好ましい範囲である。ここで第一及び第二化合物半導体層の格子定数が半導体層を構成する結晶の格子定数と近い値を有するというのは、実際には、該化合物半導体の格子定数と半導体層を構成する結晶の格子定数との違いが、±5%以内、より好ましくは±2%以内をいう。

【0020】第一化合物半導体層の厚みl₁は0.1 μm ≤ l₁ ≤ 10 μmであり、好ましくは、0.5 μm ≤

l₁ ≤ 5 μmの範囲である。また半導体層の量子効果を得るためには1 μm以上が好ましい。第二化合物半導体層の厚みl₂は通常第一化合物半導体層に準ずるが、好ましい範囲として1 μm以下、より好ましくは、0.5 μm以下、また0.1 μm以下も好ましく用いられる。また、第一及び第二化合物半導体層は、これらの化合物半導体から選ばれた数種類からなる多層を形成していてもよい。たとえば、第二化合物半導体層の上に第三の化合物半導体層が形成されてもよい。第三化合物半導体層は第二化合物半導体層に準ずる半導体絶縁層であり、その厚みもl₂と同様である。該第二及び第三化合物半導体層は半導体層の空気酸化を防ぎ、さらにパッシベーションなどによるダメージに対するプロテクト効果がある。

【0021】本発明の半導体層と第一及び第二化合物半導体層によって形成される界面の結合種には、In-Sb、Ga-Sb、Ga-As、In-As、Al-As、Al-Sb、In-P、Ga-Pがある。この中でもIn-Sbが好ましく用いられる。また該III族層-V族層の間に中間層が導入されていてもよい。図4には、このような界面結合種の部分を拡大した図を示す。該界面結合種を形成するには、第一化合物半導体層と半導体層の界面の場合は、まず第一化合物半導体層の成長がおわると化合物半導体層から選ばれたV族(III族)のみを照射し、次に該V族(III族)の照射をやめると同時に半導体層を構成する結晶から選ばれたIII族(V族)のみを照射する。次に半導体層結晶の残りのIII族とV族の照射を開始し、半導体層を成長させる。また半導体層と第二化合物半導体層の界面の場合は、半導体層の成長が終了すると半導体層結晶から選ばれたIII族(V族)のみを照射する。つぎに該III族(V族)の照射をやめると同時に第二化合物半導体から選ばれたV族(III族)を照射する。そして第二化合物半導体の残りの元素の照射を開始し、第二化合物半導体層を成長させる。該III族及びV族の照射による界面層は、数原子層だけ成長させるのが好ましく、1原子層だけ成長させるのがより好ましい。

【0022】本発明の積層体を形成するために用いられる基板は、一般に単結晶を成長できるものであれば何でもよく、GaAsの単結晶の半絶縁基板、Si単結晶基板等は、好ましい例である。また、結晶を、成長させる表面として、(100)面や(110)面、等はよく用いられる。さらに、これらの結晶面から数度傾けてカットされた表面が結晶成長性を向上させる為に用いられることもよく行われる。例えば、(100)面より2度オフした面は、好ましい例である。また、マイカなどの絶縁性の基板を用いて磁気センサを製造する工程においては、マイカ上に成長させた薄膜層を転写することも行われる。即ち、作製された磁気センサにおいては、実質的には基板が用いられていないこともある。

【0023】また、本発明の積層体の製造法に於いて、第一の化合物半導体層を形成する工程、半導体層を形成する工程や第二の化合物半導体層を形成する工程は、一般に薄膜の単結晶の成長できる方法であれば何でも好いが、分子線エビタキシー(MBE)法、や、有機金属気相エビタキシー(MOVPE)法、原子層エビタキシー(ALE)法などは特に好ましい方法である。

【0024】さらに、半導体層を必要に応じて所要の形状に加工する工程は、ウェットエッチングやドライエッチング、イオンミリングなどが用いられる。これらの方法は、必要に応じて、第一、及び、第二化合物半導体層を所要の形状に加工する目的にもまた好ましく用いられる。

【0025】図5は本発明の積層体を用いて作成される磁気センサの一例である磁気抵抗素子である。図5-

(a)は二端子磁気抵抗素子の断面図を示している。図5-(b)は上面からみた図である。図5-(c)は三端子の差動型の磁気抵抗素子を上面からみた図である。10はショートバー電極である。このショートバー電極は磁気抵抗効果を上げる効果があり、磁気感度をあげる為好ましく用いられる。図5のショートバー電極10は半導体層3とオーム性接触をしており、普通は金属が用いられる。

【0026】本発明の積層体を用いて作成される磁気センサは、センサの出力を増幅するためのSiICチップと一緒にパッケージ化されてホールICや磁気抵抗IC等の磁気センサとして用いられることも好ましく行われる。図6にこのような例を示した。11は磁気センサチップを、12はSiICチップ、13はリード上のアイランド部、14はリード、15はワイヤを、そして、16はモールド樹脂を示している。

【0027】以下に本発明を実施例により述べるが、本発明はこれらの例のみに限定されるものではない。

【0028】(実施例1)

直径2インチのGaAs基板の表面にMBE法により、第一化合物半導体層としてノンドープのAl_{0.1}Ga_{0.9}As_{0.1}Sb_{0.9}を0.30μm成長させた。次に半導体層としてSiドープInAsを0.25μm成長させた。このInAs薄膜の電子移動度の値は19000cm²/Vs、シート抵抗値は150Ω/□、電子濃度0.88×10¹⁷cm⁻³であった。

【0029】該積層体の磁気センサとしての特性を調べるためホール素子を作成した。フォトリソグラフィ法を用いて、GaAs基板上に形成された積層薄膜上に感磁部となる部分を形成するためのレジストパターンを形成した。引き続いて、H₂PO₄系のエッチング液により不要部分をエッチングした後、レジストを除去した。次に、ウエーハ全面にプラズマCVD法により、0.2μmのSiN膜を形成した。該層上にフォトリソグラフィ法により、電極となる部分が開口部となっている

レジストパターンを形成した。次に反応性イオンエッチングを使って、電極の形成される部分のSiNをエッチングし、半導体層を露出させた。さらに真空蒸着法により、AuGe(Au:Ge=88:12)層を2000Å、Ni層を500Å、Au層を3500Å連続蒸着し、通常のリフトオフ法により、ホール素子の電極パターンを得た。こうして、2インチのウエーハ上に多数のホール素子を製作した。次に、ダイシングソーにより個々のホール素子に切断した。この製作したホール素子のチップサイズは0.36mm×0.36mmであった。このホール素子チップを、ダイボンドし、ワイヤーボンドし、ついで、トランスファーモールドを行い、エポキシ樹脂によるモールドされたホール素子を製作した。膜特性は後出の表1に、素子の特性は表2に示した。

【0030】表2に示したように、実施例1のホール素子は定格入力電圧に於いて、500Gの磁束密度を持つ磁界中で210mVという大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍以上の値である。また、ホール出力電圧の温度特性を図7に示した。また、定電圧での、ホール出力電圧の温度変化は100℃以上においても小さく優れた温度特性を示している。図8に示したように素子抵抗値の温度変化が150℃まで極めて小さく、抵抗値の低下も非常に小さい。さらに、標準的なミニモールド型でモールドした場合の、熱放散の係数は2.3mW/℃程度であり、従来は不可能な100~150℃高温に於いても使用できることがわかった。また、低温側での使用は-50℃でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度であり、かつ高温まで使用でき、信頼性も極めて高い。

【0031】

【0032】

【0033】(実施例2)

直径2インチのGaAs基板の表面にMBE法により、第一化合物半導体層としてノンドープのAl_{0.1}Ga_{0.9}As_{0.1}Sb_{0.9}を0.30μm成長させた。次に半導体層としてSiドープInAsを0.15μm成長させた。このInAs薄膜の電子移動度の値は19000cm²/Vs、シート抵抗値は230Ω/□、電子濃度0.95×10¹⁷cm⁻³であった。

【0034】以下、実施例1と同様にしてホール素子を製作した。

【0035】膜特性は後出の表1に、素子の特性は表2に示した。

【0036】表2に示したように、実施例2のホール素子は定格入力電圧に於いて、500Gの磁束密度を持つ磁界中で260mVという大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出

力電圧の2倍以上の値である。また、ホール出力電圧の温度依存性は実施例1と同様の特性を示した。さらに、素子抵抗値の温度依存性も実施例1と同様150℃まで極めて小さかった。このように素子抵抗値の温度変化は極めて小さく、また抵抗値の低下も非常に小さい。このため、定電圧で素子を使用した時に、過電流が流れて不良となることもなく、高温での信頼性もよい。さらに低温側での使用は-50℃でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0037】（実施例3）

直径2インチのGaAs基板の表面にMBE法により、第一化合物半導体層としてノンドープのAl_{0.1}Ga_{0.9}As_{0.1}Sb_{0.9}を0.30μm成長させた。次に半導体層としてSiドープInAsを0.10μm成長させた。このInAs薄膜の電子移動度の値は1900 cm²/Vs、シート抵抗値は300Ω/□、電子濃度1.1×10¹⁷ cm⁻³であった。

【0038】以下、実施例1と同様にしてホール素子を製作した。

【0039】膜特性は後出の表1に、素子の特性は表2に示した。

【0040】表2に示したように、実施例3のホール素子は定格入力電圧に於いて、500Gの磁束密度を持つ磁界中で270mVという大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍以上の値である。また、ホール出力電圧の温度依存性は実施例1と同様の特性を示した。さらに、素子抵抗値の温度依存性も実施例1と同様150℃まで極めて小さかった。このように素子抵抗値の温度変化は極めて小さく、また抵抗値の低下も非常に小さい。このため、定電圧で素子を使用した時に、過電流が流れて不良となることもなく、高温での信頼性もよい。さらに低温側での使用は-50℃でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0041】（比較例1）

実施例3と同様の方法により、ノンドープのAl_{0.1}Ga_{0.9}As_{0.1}Sb_{0.9}を0.30μm成長させた。次にノンドープInAsを0.10μm成長させた。このInAs薄膜の表面モロロジーは悪く、シート抵抗値が高すぎて電子移動度の測定は不可能であった。AlGaAsSb層がInAsの格子定数からずれると結晶性の良いInAs薄膜が得られないことが明らかとなった。ホール素子化も不可能であった。

【0042】（実施例4）

直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープのAl_{0.1}Ga_{0.9}As_{0.1}Sb_{0.9}を0.3μm成長させた。次に半導体層としてSiドープInAsを0.10μm成長させた。次に、第二化合物半導体層としてノンドープのAl_{0.1}Ga_{0.9}As_{0.1}Sb_{0.9}を500Å成長させ、さらにキャップ層としてGaAs_{0.1}Sb_{0.9}を100Å成長させた。このInAs薄膜の電子移動度の値は21000 cm²/Vs、シート抵抗値は280Ω/□、電子濃度1.1×10¹⁷ cm⁻³であった。

【0043】次に、フォトリソグラフィ法を用いて、GaAs基板上に形成された積層薄膜上に感磁部となる部分を形成するためのレジストパターンを形成した。引き続いて、H₃PO₄系のエッチング液により不要部分をエッチングした後、レジストを除去した。次に、ウエーハー全面にプラズマCVD法により、0.2μmのSiN膜を形成した。該層上にフォトリソグラフィ法により、電極となる部分が開口部となっているレジストパターンを形成した。次に反応性イオンエッチングを使って、電極の形成される部分のSiNをエッチングした後、HCl系のエッチング液により不要な部位にある第二化合物半導体層とキャップ層を除去し、半導体層を露出させた。さらに真空蒸着法により、AuGe(Au:Ge=8:12)層を2000Å、Ni層を500Å、Au層を3500Å連続蒸着し、通常のリフトオフ法により、ホール素子の電極パターンを形成した。こうして、2インチのウエーハー上に多数のホール素子を製作した。次に、ダイシングソーにより個々のホール素子に切断した。この製作したホール素子のチップサイズは0.36mm×0.36mmであった。

【0044】このホール素子チップを、ダイボンドし、ワイヤーボンドし、ついで、トランスファーモールドを行い、エポキシ樹脂によるモールドされたホール素子を製作した。

【0045】膜特性は後出の表1に、素子の特性は表2に示した。

【0046】表2に示したように、実施例4のホール素子は定格入力電圧に於いて、500Gの磁束密度を持つ磁界中で309mVという大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の3倍以上の値である。また、ホール出力電圧の温度特性は実施例1と同じであり100℃以上に於いてもよい温度特性を示した。素子抵抗値の温度依存性も実施例1と同様であり、温度変化は極めて小さく、抵抗値の低下も非常に小さかった。標準的なミニモールド型で樹脂モールドした素子の、熱放散の係数は2.3mW/℃程であり、この素子は、100~150℃という従来不可能である高温に於いても使用できることが明らかとなった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高

15

感度で、かつ高温まで使用でき、信頼性も極めて高い。低温側での使用は -50°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。

【0047】(実施例5)

直径2インチのGaAs基板の表面にMBE法により、第一化合物半導体層として $\text{Al}_{0.99}\text{Ga}_{0.01}\text{As}_{0.99}\text{Sb}_{0.01}$ を $0.30\mu\text{m}$ 成長させた。次に半導体層としてSiドープ $\text{In}_{0.99}\text{Ga}_{0.01}\text{As}$ を $0.10\mu\text{m}$ 成長させた。この $\text{In}_{0.99}\text{Ga}_{0.01}\text{As}$ 薄膜の電子移動度の値は $15500\text{cm}^2/\text{Vs}$ 、シート抵抗値は $330\Omega/\square$ 、電子濃度 $1.22\times 10^{17}\text{cm}^{-3}$ であった。

【0048】以下、実施例1と同様にしてホール素子を製作した。

【0049】膜特性は後出の表1に、素子の特性は表2に示した。

【0050】表2に示したように、実施例5のホール素子は定格入力電圧に於いて、 500G の磁束密度を持つ磁界中で 200mV という大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍以上の値である。また、ホール出力電圧の温度特性を図9に示した。また、定電圧での、ホール出力電圧の温度変化は 100°C 以上に於いても小さく、優れた温度特性を示している。さらに、図10に示したように素子抵抗値の温度変化は 150°C まで極めて小さく、抵抗値の低下も見られない。このため、定電圧で素子を使用した時に、過電流が流れて不良となることもなく、高温での信頼性もよい。従来不可能であった高温に於いても使用できることが明らかとなった。さらに低温側での使用は、 -60°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。またこの素子は、パワー消費も少なく、特にGaAsホール素子と比べて、同じ感度を得るのに半分の消費電力でよい。

【0051】(比較例2)

実施例5と同様に、ノンドープの $\text{Al}_{0.99}\text{Ga}_{0.01}\text{As}_{0.99}\text{Sb}_{0.01}$ を $0.30\mu\text{m}$ 成長させた。次にSiドープ $\text{In}_{0.99}\text{Ga}_{0.01}\text{As}$ を $0.10\mu\text{m}$ 成長させたが、この $\text{In}_{0.99}\text{Ga}_{0.01}\text{As}$ 薄膜の表面モロロジーは悪く、電子移動度の測定は不可能であった。ホール素子化も不可能であった。

【0052】(実施例6)

直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.99}\text{Ga}_{0.01}\text{As}_{0.99}\text{Sb}_{0.01}$ を $0.3\mu\text{m}$ 成長させた。次に半導体層としてSiドープ $\text{In}_{0.99}\text{Ga}_{0.01}\text{As}$ を $0.10\mu\text{m}$ 成長させた。次に、第二化合物半導体層としてノンドープの $\text{Al}_{0.99}\text{Ga}_{0.01}\text{As}_{0.99}\text{Sb}_{0.01}$ を 500\AA 成長させ、さらにキャップ層としてGaAs $_{0.99}\text{Sb}_{0.01}$ を

16

を 100\AA 成長させた。この $\text{In}_{0.99}\text{Ga}_{0.01}\text{As}$ 薄膜の電子移動度の値は $19000\text{cm}^2/\text{Vs}$ 、シート抵抗値は $310\Omega/\square$ 、電子濃度 $1.06\times 10^{17}\text{cm}^{-3}$ であった。

【0053】以下、実施例4と同様にしてホール素子を製作した。

【0054】膜特性は後出の表1に、素子の特性は表2に示した。

【0055】表2に示したように、実施例6のホール素子は定格入力電圧に於いて、 500G の磁束密度を持つ磁界中で 240mV という大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍以上の値である。また、ホール出力電圧の温度特性は実施例5と同じであり 100°C 以上に於いてもよい温度特性を示した。素子抵抗値の温度依存性も実施例5と同様であり、温度変化は極めて小さく、抵抗値の低下も見られなかった。標準的なミニモールド型で樹脂モールドした素子の、熱放散の係数は $2.3\text{mW}/^{\circ}\text{C}$ 程であり、この素子は、 $100\sim 150^{\circ}\text{C}$ という従来不可能である高温に於いても使用できることが明らかとなった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。低温側での使用は -60°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。

【0056】(実施例7)

直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.99}\text{Ga}_{0.01}\text{As}_{0.99}\text{Sb}_{0.01}$ を $0.3\mu\text{m}$ 成長させた。次に半導体層としてSiドープ $\text{In}_{0.99}\text{Ga}_{0.01}\text{As}$ を $0.10\mu\text{m}$ 成長させた。次に、第二化合物半導体層としてノンドープの $\text{Al}_{0.99}\text{Ga}_{0.01}\text{As}_{0.99}\text{Sb}_{0.01}$ を 500\AA 成長させ、さらにキャップ層としてGaAs $_{0.99}\text{Sb}_{0.01}$ を 100\AA 成長させた。この $\text{In}_{0.99}\text{Ga}_{0.01}\text{As}$ 薄膜の電子移動度の値は $13000\text{cm}^2/\text{Vs}$ 、シート抵抗値は $380\Omega/\square$ 、電子濃度 $1.26\times 10^{17}\text{cm}^{-3}$ であった。

【0057】以下、実施例4と同様にしてホール素子を製作した。

【0058】膜特性は後出の表1に、素子の特性は表2に示した。

【0059】表2に示したように、実施例7のホール素子は定格入力電圧に於いて、 500G の磁束密度を持つ磁界中で 195mV という大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍の値である。また、ホール出力電圧の温度特性は実施例5と同じであり 100°C 以上に於いてもよい温度特性を示した。素子抵抗値の温度依存性も実施例5と同様であり、温度変化は極めて小さく、抵抗値の低下も見られなかった。標準的なミニモールド型で樹脂モ

17

ールドした素子の、熱放散の係数は $2.3 \text{ mW}/^\circ\text{C}$ 程であり、この素子は、 $100 \sim 150^\circ\text{C}$ という従来不可能である高温に於いても使用できることが明らかとなった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。低温側での使用は -60°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。

【0060】(実施例8)

直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}_{0.7}\text{Sb}_{0.3}$ を $0.3 \mu\text{m}$ 成長させた。次に半導体層としてSiドープ $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ を $0.10 \mu\text{m}$ 成長させた。次に、第二化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}_{0.7}\text{Sb}_{0.3}$ を 500 \AA 成長させ、さらにキャップ層として $\text{GaAs}_{0.7}\text{Sb}_{0.3}$ を 100 \AA 成長させた。この $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ 薄膜の電子移動度の値は $9000 \text{ cm}^2/\text{Vs}$ 、シート抵抗値は $420 \Omega/\square$ 、電子濃度 $1.65 \times 10^{17} \text{ cm}^{-3}$ であった。

【0061】以下、実施例4と同様にしてホール素子を製作した。

【0062】膜特性は後出の表1に、素子の特性は表2に示した。

【0063】表2に示したように、実施例8のホール素子は定格入力電圧に於いて、 500 G の磁束密度を持つ磁界中で 140 mV というホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の約1.5倍の値である。また、ホール出力電圧の温度特性は実施例5と同じであり 100°C 以上に於いてもよい温度特性を示した。素子抵抗値の温度依存性も実施例5と同様であり、温度変化は極めて小さく、抵抗値の低下も見られなかった。標準的なミニモールド型で樹脂モールドした素子の、熱放散の係数は $2.3 \text{ mW}/^\circ\text{C}$ 程であり、この素子は、 $100 \sim 150^\circ\text{C}$ という従来不可能である高温に於いても使用できることが明らかとなった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。低温側での使用は -60°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。

【0064】(実施例9)

直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{In}_{0.1}\text{As}_{0.7}\text{Sb}_{0.3}$ を $0.3 \mu\text{m}$ 成長させた。次に半導体層としてSiドープ $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}_{0.7}\text{Sb}_{0.3}$ を $0.10 \mu\text{m}$ 成長させた。次に、第二化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{In}_{0.1}\text{As}_{0.7}\text{Sb}_{0.3}$ を 500 \AA 成長させた。この $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}_{0.7}\text{Sb}_{0.3}$ 薄膜の電子移動度の値は $20000 \text{ cm}^2/\text{Vs}$

18

s、シート抵抗値は $270 \Omega/\square$ 、電子濃度 $1.15 \times 10^{17} \text{ cm}^{-3}$ であった。

【0065】次に、フォトリソグラフィー法を用いて、GaAs基板上に形成された積層薄膜上に感磁部となる部分を形成するためのレジストパターンを形成した。引き続き、 H_3PO_4 系のエッチング液により不要部分をエッチングした後、レジストを除去した。次に、ウェーハー全面にプラズマCVD法により、 $0.2 \mu\text{m}$ のSiN膜を形成した。該層上にフォトリソグラフィー法により、電極となる部分が開口部となっているレジストパターンを形成した。次に反応性イオンエッチングを使って、電極の形成される部分のSiNをエッチングした後、 HCl 系のエッチング液により不要な部位にある第二化合物半導体層を除去し、半導体層を露出させた。さらに真空蒸着法により、AuGe(Au:Ge=88:12)層を 2000 \AA 、Ni層を 500 \AA 、Au層を 3500 \AA 連続蒸着し、通常のリフトオフ法により、ホール素子の電極パターンを形成した。こうして、2インチのウェーハー上に多数のホール素子を製作した。次に、ダイシングソーにより個々のホール素子に切断した。この製作したホール素子のチップサイズは $0.36 \text{ mm} \times 0.36 \text{ mm}$ であった。

【0066】このホール素子チップを、ダイボンドし、ワイヤーボンドし、ついで、トランスファーモールドを行い、エポキシ樹脂によるモールドされたホール素子を製作した。

【0067】膜特性は後出の表1に、素子の特性は表2に示した。

【0068】表2に示したように、実施例9のホール素子は定格入力電圧に於いて、 500 G の磁束密度を持つ磁界中で 300 mV というホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧より約3倍大きい値である。また、ホール出力電圧の温度特性は実施例5と同じであり 100°C 以上に於いてもよい温度特性を示した。素子抵抗値の温度依存性も実施例5と同様であり、温度変化は極めて小さく、抵抗値の低下も見られなかった。標準的なミニモールド型で樹脂モールドした素子の、熱放散の係数は $2.3 \text{ mW}/^\circ\text{C}$ 程であり、この素子は、 $100 \sim 150^\circ\text{C}$ という従来不可能である高温に於いても使用できることが明らかとなった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。低温側での使用は -60°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。

【0069】(比較例3)

実施例9と同様にノンドープの $\text{Al}_{0.1}\text{In}_{0.1}\text{As}_{0.7}\text{Sb}_{0.3}$ を $0.3 \mu\text{m}$ 成長させた。次にSiドープ $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}_{0.7}\text{Sb}_{0.3}$ を $0.10 \mu\text{m}$ 成長させた。次に、ノンドープの $\text{Al}_{0.1}\text{In}_{0.1}\text{As}_{0.7}$

50

Sb_{0.1}を500Å成長させた。このIn_{0.1}Ga_{0.2}As_{0.7}Sb_{0.1}薄膜の表面モロロジーは悪く、シート抵抗値も非常に高く、電子移動度は測定できなかった。ホール素子化は不可能であった。

【0070】(実施例10)

直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープのAl_{0.1}In_{0.2}As_{0.7}Sb_{0.1}を0.3μm成長させた。次に半導体層としてSiドープIn_{0.1}Ga_{0.2}As_{0.7}Sb_{0.1}を0.10μm成長させた。次に、第二化合物半導体層としてノンドープのAl_{0.1}In_{0.2}As_{0.7}Sb_{0.1}を500Å成長させた。このIn_{0.1}Ga_{0.2}As_{0.7}Sb_{0.1}薄膜の電子移動度の値は21000cm²/Vs、シート抵抗値は270Ω/□、電子濃度1.10×10¹⁷cm⁻³であった。

【0071】以下、実施例9と同様にしてホール素子を製作した。

【0072】膜特性は後出の表1に、素子の特性は表2に示した。

【0073】表2に示したように、実施例10のホール素子は定格入力電圧に於いて、500Gの磁束密度を持つ磁界中で310mVというホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧より約3倍大きい値である。また、ホール出力電圧の温度特性は実施例5と同じであり100℃以上に於いてもよい温度特性を示した。素子抵抗値の温度依存性も実施例5と同様であり、温度変化は極めて小さく、抵抗値の低下も見られなかった。標準的なミニモールド型で樹脂モールドした素子の、熱放散の係数は2.3mW/℃程であり、この素子は、100~150℃という従来不可能である高温に於いても使用できることが明らかとなった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。低温側での使用は-60℃でも問題はなく、広い温度範囲で信頼性のあることがわかった。

【0074】(実施例11)

直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープのAl_{0.1}In_{0.2}As_{0.7}Sb_{0.1}を0.3μm成長させた。次に半導体層としてSiドープIn_{0.1}Ga_{0.2}As_{0.7}Sb_{0.1}を0.10μm成長させた。次に、第二化合物半導体層としてノンドープのAl_{0.1}In_{0.2}As_{0.7}Sb_{0.1}を500Å成長させた。このIn_{0.1}Ga_{0.2}As_{0.7}Sb_{0.1}薄膜の電子移動度の値は21000cm²/Vs、シート抵抗値は250Ω/□、電子濃度1.19×10¹⁷cm⁻³であった。

【0075】以下、実施例9と同様にしてホール素子を製作した。

【0076】膜特性は後出の表1に、素子の特性は表2

に示した。

【0077】表2に示したように、実施例11のホール素子は定格入力電圧に於いて、500Gの磁束密度を持つ磁界中で305mVというホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧より約3倍大きい値である。また、ホール出力電圧の温度特性は実施例5と同じであり100℃以上に於いてもよい温度特性を示した。素子抵抗値の温度依存性も実施例5と同様であり、温度変化は極めて小さく、抵抗値の低下も見られなかった。標準的なミニモールド型で樹脂モールドした素子の、熱放散の係数は2.3mW/℃程であり、この素子は、100~150℃という従来不可能である高温に於いても使用できることが明らかとなった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。低温側での使用は-60℃でも問題はなく、広い温度範囲で信頼性のあることがわかった。

【0078】(実施例12)

量子効果を利用したホール素子を得る目的で、直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープのAl_{0.1}Ga_{0.2}As_{0.7}Sb_{0.1}を1.0μm成長させた。次に半導体層としてノンドープInAsを150Å成長させた。次に、第二化合物半導体層としてノンドープのAl_{0.1}Ga_{0.2}As_{0.7}Sb_{0.1}を500Å成長させ、さらにキャップ層としてGaAs_{0.1}Sb_{0.1}を100Å成長させた。このInAs薄膜の電子移動度の値は15000cm²/Vs、シート抵抗値は200Ω/□、電子濃度1.39×10¹⁸cm⁻³であった。この薄膜は量子井戸を形成していることも確認された。

【0079】以下、実施例4と同様にしてホール素子を製作した。

【0080】膜特性は後出の表3に、素子の特性は表4に示した。

【0081】表4に示したように、実施例12のホール素子は定格入力電圧に於いて、500Gの磁束密度を持つ磁界中で220mVという大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍以上の値である。また、ホール出力電圧の温度特性を図11に示した。定電圧での、ホール出力電圧の温度変化は100℃以上においても小さく優れた温度特性を示している。図12に示したように、素子抵抗値の温度変化は150℃程度まで全く低下することなく、優れた温度特性を有していることがわかった。このため定電圧で素子を使用した時に、過電流が流れて不良となることもなく、高温での信頼性もよい。標準的なミニモールド型で樹脂モールドして製作した素子は、熱放散の係数は2.3mW/℃程であり、この素子は、100~150℃という従来不可能である高温に於いても

21

使用できることが明らかとなった。また、低温側での使用は、 -50°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0082】(比較例4)

実施例12と同様に、直径2インチのGaAs基板の表面にノンドープの $\text{Al}_{0.1}\text{Ga}_{0.2}\text{As}_{0.1}\text{Sb}_{0.6}$ を $1.0\mu\text{m}$ 成長させた。次にノンドープInAsを 150\AA 成長させた。次に、ノンドープの $\text{Al}_{0.1}\text{Ga}_{0.2}\text{As}_{0.1}\text{Sb}_{0.6}$ を 500\AA 成長させ、さらにキャップ層としてGaAs $_{0.1}\text{Sb}_{0.6}$ を 100\AA 成長させた。成長薄膜の表面モロロジーは、少しの曇りがみられ、このInAs薄膜の電子移動度の値は $2300\text{cm}^2/\text{Vs}$ 、シート抵抗値は $1030\Omega/\square$ 、電子濃度は、 $1.75\times 10^{18}\text{cm}^{-3}$ であった。実施例4と同様の方法によりホール素子を作製したが、そのホール出力電圧は、 35mV と小さく、入力抵抗は $2\text{k}\Omega$ と非常に高かった。また、温度特性についてもホール出力電圧、入力抵抗ともに温度変化が大きく、高温部での入力抵抗値の低下も大きかった。

【0083】(実施例13)

量子効果を利用したホール素子を得る目的で、直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.2}\text{As}_{0.1}\text{Sb}_{0.6}$ を $1.0\mu\text{m}$ 成長させた。次に半導体層としてノンドープInAsを 200\AA 成長させた。次に、第二化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.2}\text{As}_{0.1}\text{Sb}_{0.6}$ を 500\AA 成長させ、さらにキャップ層としてGaAs $_{0.1}\text{Sb}_{0.6}$ を 100\AA 成長させた。このInAs薄膜の電子移動度の値は $15000\text{cm}^2/\text{Vs}$ 、シート抵抗値は $215\Omega/\square$ 、電子濃度 $0.97\times 10^{18}\text{cm}^{-3}$ であった。この薄膜は量子井戸を形成していることも確認された。

【0084】以下、実施例4と同様にしてホール素子を作製した。

【0085】膜特性は後出の表3に、素子の特性は表4に示した。

【0086】表4に示したように、実施例13のホール素子は定格入力電圧に於いて、 500G の磁束密度を持つ磁界中で 225mV という大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍以上の値である。また、ホール出力電圧の温度変化は実施例12と同様に小さく、また素子抵抗値の温度変化も実施例12と同様に 150°C 程度まで全く低下することなく、温度依存性に優れていることがわかった。標準的なミニモールド型で樹脂モールドして製作した素子は、熱放散の係数は $2.3\text{mW}/^{\circ}\text{C}$ 程であり、この素子は、 $100\sim 150^{\circ}\text{C}$ という従来不可能で

22

ある高温に於いても使用できることが明らかとなった。また、低温側での使用は -50°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0087】(実施例14)

量子効果を利用したホール素子を得る目的で、直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.2}\text{As}_{0.1}\text{Sb}_{0.6}$ を $1.0\mu\text{m}$ 成長させた。次に半導体層としてノンドープInAsを 300\AA 成長させた。次に、第二化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.2}\text{As}_{0.1}\text{Sb}_{0.6}$ を 500\AA 成長させ、さらにキャップ層としてGaAs $_{0.1}\text{Sb}_{0.6}$ を 100\AA 成長させた。このInAs薄膜の電子移動度の値は $15000\text{cm}^2/\text{Vs}$ 、シート抵抗値は $250\Omega/\square$ 、電子濃度 $0.56\times 10^{18}\text{cm}^{-3}$ であった。

【0088】以下、実施例4と同様にしてホール素子を作製した。

【0089】膜特性は後出の表3に、素子の特性は表4に示した。

【0090】表4に示したように、実施例14のホール素子は定格入力電圧に於いて、 500G の磁束密度を持つ磁界中で 210mV という大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍以上の値である。また、ホール出力電圧の温度変化は実施例12と同様の特性を示した。また素子抵抗値の温度変化も実施例12と同様に 150°C を超えても抵抗値の低下の見られず、耐熱性もきわめてよい。この素子は、 $100\sim 150^{\circ}\text{C}$ という従来不可能である高温に於いても使用できることが明らかとなった。また、低温側での使用は -50°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0091】(実施例15)

量子効果を利用したホール素子を得る目的で、直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.2}\text{As}_{0.1}\text{Sb}_{0.6}$ を $1.0\mu\text{m}$ 成長させた。次に半導体層としてノンドープInAsを 100\AA 成長させた。次に、第二化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.2}\text{As}_{0.1}\text{Sb}_{0.6}$ を 500\AA 成長させ、さらにキャップ層としてGaAs $_{0.1}\text{Sb}_{0.6}$ を 100\AA 成長させた。このInAs薄膜の電子移動度の値は $14000\text{cm}^2/\text{Vs}$ 、シート抵抗値は $220\Omega/\square$ 、電子濃度 $2.03\times 10^{18}\text{cm}^{-3}$ であった。この薄膜は量子井戸を形成していることも確認された。

【0092】以下、実施例4と同様にしてホール素子を製作した。

【0093】膜特性は後出の表3に、素子の特性は表4に示した。

【0094】表4に示したように、実施例15のホール素子は定格入力電圧に於いて、500Gの磁束密度を持つ磁界中で170mVという大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍の値である。また、ホール出力電圧の温度変化は実施例12と同様であり、100℃以上においても優れた温度特性を示した。また素子抵抗値の温度変化も実施例12と同様に150℃を越えても抵抗値の低下の見られず、耐熱性もきわめてよい。この素子は、100～150℃という従来不可能である高温に於いても使用できることが明らかとなった。また、低温側での使用は-50℃でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0095】(実施例16)

量子効果を利用したホール素子を得る目的で、直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープのAl_{0.1}Ga_{0.9}As_{0.93}Sb_{0.07}を1.0μm成長させた。次に半導体層としてノンドープIn_{0.1}Ga_{0.9}Asを150Å成長させた。次に、第二化合物半導体層としてノンドープのAl_{0.1}Ga_{0.9}As_{0.93}Sb_{0.07}を500Å成長させ、さらにキャップ層としてGaAs_{0.93}Sb_{0.07}を100Å成長させた。このIn_{0.1}Ga_{0.9}As薄膜の電子移動度の値は14000cm²/Vs、シート抵抗値は300Ω/□、電子濃度0.99×10¹⁸cm⁻³であった。この薄膜は量子井戸を形成していることも確認された。

【0096】以下、実施例4と同様にしてホール素子を製作した。

【0097】膜特性は後出の表3に、素子の特性は表4に示した。

【0098】表4に示したように、実施例16のホール素子は定格入力電圧に於いて、500Gの磁束密度を持つ磁界中で215mVという大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍の値である。また、ホール出力電圧の温度変化は実施例12と同様の特性を示した。さらに素子抵抗値の温度依存性も実施例12と同様150℃程度まで極めて小さく、しかも抵抗値の低下も見られず、優れた温度特性を有していることがわかった。このように素子抵抗値の温度変化は極めて小さい為、標準的なミニモールド型で樹脂モールドして製作した素子は、熱放散の係数は2.3mW/℃程度であり、従来不可能であった高温に於いても使用できることが明らかとなった。ま

た、低温側での使用は、-50℃でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0099】(実施例17)

量子効果を利用したホール素子を得る目的で、直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープのAl_{0.1}Ga_{0.9}As_{0.93}Sb_{0.07}を1.0μm成長させた。次に半導体層としてノンドープIn_{0.1}Ga_{0.9}Asを150Å成長させた。次に、第二化合物半導体層としてノンドープのAl_{0.1}Ga_{0.9}As_{0.93}Sb_{0.07}を500Å成長させ、さらにキャップ層としてGaAs_{0.93}Sb_{0.07}を100Å成長させた。このIn_{0.1}Ga_{0.9}As薄膜の電子移動度の値は13000cm²/Vs、シート抵抗値は320Ω/□、電子濃度1.00×10¹⁸cm⁻³であった。この薄膜は量子井戸を形成していることも確認された。

【0100】以下、実施例4と同様にしてホール素子を製作した。

【0101】膜特性は後出の表3に、素子の特性は表4に示した。

【0102】表4に示したように、実施例17のホール素子は定格入力電圧に於いて、500Gの磁束密度を持つ磁界中で205mVという大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍の値である。また、ホール出力電圧の温度特性を図13に示した。定電圧での、ホール出力電圧の温度変化は100℃以上においても小さく優れた温度特性を示している。図14に示したように、素子抵抗値の温度変化は180℃程度まで全く低下することもなく、優れた温度特性を有していることがわかった。標準的なミニモールド型で樹脂モールドして製作した素子は、熱放散の係数は2.3mW/℃程度であり、この素子は、100～180℃という従来不可能である高温に於いても使用できることが明らかとなった。また、低温側での使用は、-60℃でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0103】(比較例5)

実施例17と同様に、直径2インチのGaAs基板の表面にノンドープのAl_{0.1}Ga_{0.9}As_{0.93}Sb_{0.07}を1.0μm成長させた。次にノンドープIn_{0.1}Ga_{0.9}Asを150Å成長させた。次に、ノンドープのAl_{0.1}Ga_{0.9}As_{0.93}Sb_{0.07}を500Å成長させ、さらにキャップ層としてGaAs_{0.93}Sb_{0.07}を100Å成長させた。成長薄膜の表面モロロジーは、少しの曇りがみられ、このIn_{0.1}Ga_{0.9}As薄膜の電子移動

度の値は $2000\text{ cm}^2/\text{Vs}$ 、シート抵抗値は $110\ \Omega/\square$ 、電子濃度は、 $1.89 \times 10^{18}\text{ cm}^{-3}$ であった。実施例4と同様の方法によりホール素子を作製したが、そのホール出力電圧は、 30 mV と小さく、入力抵抗は $2.2\text{ k}\Omega$ と非常に高かった。また温度特性についてもホール出力電圧、入力抵抗ともに温度変化が大きく、高温部での入力抵抗値の低下も大きかった。

【0104】(実施例18)

量子効果を利用したホール素子を得る目的で、直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}_{0.45}\text{Sb}_{0.55}$ を $1.0\ \mu\text{m}$ 成長させた。次に半導体層としてノンドープ $\text{In}_{0.6}\text{Ga}_{0.3}\text{As}$ を $150\ \text{\AA}$ 成長させた。次に、第二化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}_{0.45}\text{Sb}_{0.55}$ を $500\ \text{\AA}$ 成長させ、さらにキャップ層として $\text{GaAs}_{0.45}\text{Sb}_{0.55}$ を $100\ \text{\AA}$ 成長させた。この $\text{In}_{0.6}\text{Ga}_{0.3}\text{As}$ 薄膜の電子移動度の値は $14000\text{ cm}^2/\text{Vs}$ 、シート抵抗値は $360\ \Omega/\square$ 、電子濃度 $0.83 \times 10^{18}\text{ cm}^{-3}$ であった。この薄膜は量子井戸を形成していることも確認された。

【0105】以下、実施例4と同様にしてホール素子を作製した。

【0106】膜特性は後出の表3に、素子の特性は表4に示した。

【0107】表4に示したように、実施例18のホール素子は定格入力電圧に於いて、 500 G の磁束密度を持つ磁界中で 205 mV という大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍の値である。また、定電圧での、ホール出力電圧の温度変化は 100°C 以上においても小さく優れた温度特性を示している。また、素子抵抗値の温度変化も 180°C 程度まで全く低下することなく、優れた温度特性を有していることがわかった。標準的なミニモールド型で樹脂モールドして製作した素子は、熱放散の係数は $2.3\text{ mW}/^\circ\text{C}$ 程であり、この素子は、 $100\sim 180^\circ\text{C}$ という従来不可能である高温に於いても使用できることが明らかとなった。また、低温側での使用は、 -60°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0108】(実施例19)

直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}_{0.7}\text{Sb}_{0.3}$ を $1.0\ \mu\text{m}$ 成長させた。次に半導体層としてノンドープ $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ を $150\ \text{\AA}$ 成長させた。次に、第二化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}_{0.7}\text{Sb}_{0.3}$ を $500\ \text{\AA}$ 成長させ、さらにキャップ層として $\text{GaAs}_{0.7}\text{Sb}_{0.3}$ を 1

$00\ \text{\AA}$ 成長させた。この $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ 薄膜の電子移動度の値は $10000\text{ cm}^2/\text{Vs}$ 、シート抵抗値は $400\ \Omega/\square$ 、電子濃度 $1.04 \times 10^{18}\text{ cm}^{-3}$ であった。この薄膜は量子井戸を形成していることも確認された。

【0109】以下、実施例4と同様にしてホール素子を作製した。

【0110】膜特性は後出の表3に、素子の特性は表4に示した。

【0111】表4に示したように、実施例19のホール素子は定格入力電圧に於いて、 500 G の磁束密度を持つ磁界中で 150 mV という大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の1.5倍以上の値である。また、定電圧での、ホール出力電圧の温度変化は 100°C 以上においても小さく優れた温度特性を示している。また、素子抵抗値の温度変化も 180°C 程度まで全く低下することなく、優れた温度特性を有していることがわかった。標準的なミニモールド型で樹脂モールドして製作した素子は、熱放散の係数は $2.3\text{ mW}/^\circ\text{C}$ 程であり、この素子は、 $100\sim 180^\circ\text{C}$ という従来不可能である高温に於いても使用できることが明らかとなった。また、低温側での使用は、 -60°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0112】(実施例20)

直径2インチのGaAs基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{In}_{0.2}\text{As}_{0.3}\text{Sb}_{0.7}$ を $1.0\ \mu\text{m}$ 成長させた。次に半導体層としてノンドープ $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}_{0.3}\text{Sb}_{0.7}$ を $150\ \text{\AA}$ 成長させた。次に、第二化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{In}_{0.2}\text{As}_{0.3}\text{Sb}_{0.7}$ を $500\ \text{\AA}$ 成長させた。この $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}_{0.3}\text{Sb}_{0.7}$ 薄膜の電子移動度の値は $15000\text{ cm}^2/\text{Vs}$ 、シート抵抗値は $300\ \Omega/\square$ 、電子濃度 $0.93 \times 10^{18}\text{ cm}^{-3}$ であった。この薄膜は量子井戸を形成していることも確認された。

【0113】以下、実施例9と同様にしてホール素子を作製した。

【0114】膜特性は後出の表3に、素子の特性は表4に示した。

【0115】表4に示したように、実施例20のホール素子は定格入力電圧に於いて、 500 G の磁束密度を持つ磁界中で 210 mV という大きなホール出力電圧を有する。この値は、平均的なGaAsホール素子のホール出力電圧の2倍以上の値である。また、ホール出力電圧の温度変化は実施例17と同様に小さく、また素子抵抗値の温度変化も実施例17と同様に 180°C 程度まで全

く低下することなく、温度依存性に優れていることがわかった。標準的なミニモールド型で樹脂モールドして製作した素子は、熱放散の係数は $2.3 \text{ mW}/^\circ\text{C}$ 程であり、この素子は、 $100\sim 180^\circ\text{C}$ という従来不可能である高温に於いても使用できることが明らかとなった。また、低温側での使用は -60°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0116】(比較例6)

実施例20と同様に、ノンドープの $\text{Al}_{0.1}\text{In}_{0.1}\text{As}_{0.8}\text{Sb}_{0.2}$ を $1.0 \mu\text{m}$ 成長させた。次にノンドープ $\text{In}_{0.1}\text{Ga}_{0.2}\text{As}_{0.7}\text{Sb}_{0.2}$ を 150 \AA 成長させた。次に、ノンドープの $\text{Al}_{0.1}\text{In}_{0.1}\text{As}_{0.8}\text{Sb}_{0.2}$ を 500 \AA 成長させた。この成長薄膜の表面モロロジーは悪く、シート抵抗値は $1050 \Omega/\square$ と非常に高く、電子移動度は $2200 \text{ cm}^2/\text{Vs}$ であった。実施例9と同様の方法でホール素子を作製し、素子特性を測定したところ、そのホール出力電圧は、 30 mV と小さく、入力抵抗は $2.1 \text{ k}\Omega$ と非常に高かった。また温度特性についてもホール出力電圧、入力抵抗ともに温度変化が大きく、高温部での入力抵抗値の低下も大きかった。

【0117】(実施例21)

直径2インチの GaAs 基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{In}_{0.1}\text{As}_{0.8}\text{Sb}_{0.2}$ を $1.0 \mu\text{m}$ 成長させた。次に半導体層としてノンドープ $\text{In}_{0.1}\text{Ga}_{0.2}\text{As}_{0.7}\text{Sb}_{0.2}$ を 150 \AA 成長させた。次に、第二化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{In}_{0.1}\text{As}_{0.8}\text{Sb}_{0.2}$ を 500 \AA 成長成長させた。この $\text{In}_{0.1}\text{Ga}_{0.2}\text{As}_{0.7}\text{Sb}_{0.2}$ 薄膜の電子移動度の値は $15000 \text{ cm}^2/\text{Vs}$ 、シート抵抗値は $290 \Omega/\square$ 、電子濃度 $0.96 \times 10^{18} \text{ cm}^{-3}$ であった。この薄膜は量子井戸を形成していることも確認された。

【0118】以下、実施例9と同様にしてホール素子を作製した。

【0119】膜特性は後出の表3に、素子の特性は表4に示した。

【0120】表4に示したように、実施例21のホール素子は定格入力電圧に於いて、 500 G の磁束密度を持つ磁界中で 215 mV という大きなホール出力電圧を有する。この値は、平均的な GaAs ホール素子のホール出力電圧の2倍以上の値である。また、ホール出力電圧の温度変化は実施例17と同様に小さく、また素子抵抗値の温度変化も実施例17と同様に 180°C 程度まで全く低下することなく、温度依存性に優れていることがわかった。標準的なミニモールド型で樹脂モールドして製作した素子は、熱放散の係数は $2.3 \text{ mW}/^\circ\text{C}$ 程であ

り、この素子は、 $100\sim 180^\circ\text{C}$ という従来不可能である高温に於いても使用できることが明らかとなった。また、低温側での使用は -60°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0121】(実施例22)

直径2インチの GaAs 基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{In}_{0.1}\text{As}_{0.8}\text{Sb}_{0.2}$ を $1.0 \mu\text{m}$ 成長させた。次に半導体層としてノンドープ $\text{In}_{0.1}\text{Ga}_{0.2}\text{As}_{0.7}\text{Sb}_{0.2}$ を 150 \AA 成長させた。次に、第二化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{In}_{0.1}\text{As}_{0.8}\text{Sb}_{0.2}$ を 500 \AA 成長成長させた。この $\text{In}_{0.1}\text{Ga}_{0.2}\text{As}_{0.7}\text{Sb}_{0.2}$ 薄膜の電子移動度の値は $16000 \text{ cm}^2/\text{Vs}$ 、シート抵抗値は $270 \Omega/\square$ 、電子濃度 $0.96 \times 10^{18} \text{ cm}^{-3}$ であった。この薄膜は量子井戸を形成していることも確認された。

【0122】以下、実施例9と同様にしてホール素子を作製した。

【0123】膜特性は後出の表3に、素子の特性は表4に示した。

【0124】表4に示したように、実施例22のホール素子は定格入力電圧に於いて、 500 G の磁束密度を持つ磁界中で 230 mV という大きなホール出力電圧を有する。この値は、平均的な GaAs ホール素子のホール出力電圧の2倍以上の値である。また、ホール出力電圧の温度変化は実施例17と同様に小さく、また素子抵抗値の温度変化も実施例17と同様に 180°C 程度まで全く低下することなく、温度依存性に優れていることがわかった。標準的なミニモールド型で樹脂モールドして製作した素子は、熱放散の係数は $2.3 \text{ mW}/^\circ\text{C}$ 程であり、この素子は、 $100\sim 180^\circ\text{C}$ という従来不可能である高温に於いても使用できることが明らかとなった。また、低温側での使用は -60°C でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0125】(実施例23)

直径2インチの GaAs 基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.1}\text{Ga}_{0.2}\text{As}_{0.7}\text{Sb}_{0.2}$ を $1.0 \mu\text{m}$ 成長させた。次に Sb のみを照射し、1原子層だけ成長させた。次に、 Sb の照射をやめると同時に In のみを1原子層だけ照射した。引き続いて As を照射し、半導体層としてノンドープ InAs を 150 \AA 成長させた。次に、再び In のみを1原子層だけ照射し、 In の照射をやめると同時に Sb のみを照射した。 Sb を1原子層形成後、第二化合物半導

10

20

30

40

50

29

体層としてノンドープの $\text{Al}_{0.9}\text{Ga}_{0.2}\text{As}_{0.16}\text{Sb}_{0.68}$ を500Å成長させ、さらにキャップ層として $\text{GaAs}_{0.16}\text{Sb}_{0.84}$ を100Å成長させた。この InAs 薄膜の電子移動度の値は $21000\text{ cm}^2/\text{Vs}$ 、シート抵抗値は $205\Omega/\square$ 、電子濃度 $0.97 \times 10^{18}\text{ cm}^{-3}$ であった。 InAs 層と $\text{Al}_{0.9}\text{Ga}_{0.2}\text{As}_{0.16}\text{Sb}_{0.68}$ 層の界面に In-Sb の結合種を形成することによって電子移動度は大幅に向上した。

【0126】以下、実施例4と同様にしてホール素子を製作した。

【0127】膜特性は後出の表3に、素子の特性は表4に示した。

【0128】表4に示したように、実施例23のホール素子は定格入力電圧に於いて、500Gの磁束密度を持つ磁界中で260mVという大きなホール出力電圧を有する。この値は、平均的な GaAs ホール素子のホール出力電圧の3倍以上の値である。また、ホール出力電圧の温度特性は実施例12と同様であり、100℃以上においてもよい温度特性を示した。また素子抵抗値の温度変化も実施例12と同様に150℃程度まで全く低下することなく、温度依存性に優れていることがわかった。標準的なミニモールド型で樹脂モールドして製作した素子は、熱放散の係数は $2.3\text{ mW}/^\circ\text{C}$ 程であり、この素子は、100～150℃という従来不可能である高温に於いても使用できることが明らかとなった。また、低温側での使用は-50℃でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0129】（実施例24）

直径2インチの GaAs 基板の表面にMBE法により第一化合物半導体層としてノンドープの $\text{Al}_{0.9}\text{Ga}_{0.2}\text{As}_{0.16}\text{Sb}_{0.68}$ を $1.0\mu\text{m}$ 成長させた。次に Sb のみを照射し、1原子層だけ成長させた。次に、 Sb の照射をやめると同時に In のみを1原子層だけ照射した。引き続き As と Ga を照射し、半導体層としてノンドープ $\text{In}_{0.9}\text{Ga}_{0.2}\text{As}$ を150Å成長させた。次に、再び In のみを1原子層だけ照射し、 In の照射をやめると同時に Sb のみを照射した。 Sb を1原子層形成後、第二化合物半導体層としてノンドープの $\text{Al}_{0.9}$

30

$\text{Ga}_{0.2}\text{As}_{0.16}\text{Sb}_{0.68}$ を500Å成長させ、さらにキャップ層として $\text{GaAs}_{0.16}\text{Sb}_{0.84}$ を100Å成長させた。この $\text{In}_{0.9}\text{Ga}_{0.2}\text{As}$ 薄膜の電子移動度の値は $16000\text{ cm}^2/\text{Vs}$ 、シート抵抗値は $300\Omega/\square$ 、電子濃度 $0.87 \times 10^{18}\text{ cm}^{-3}$ であった。 $\text{In}_{0.9}\text{Ga}_{0.2}\text{As}$ 層と $\text{Al}_{0.9}\text{Ga}_{0.2}\text{As}_{0.16}\text{Sb}_{0.68}$ 層の界面に In-Sb の結合種を形成することによって電子移動度は大幅に向上した。

【0130】以下、実施例4と同様にしてホール素子を製作した。

【0131】膜特性は後出の表3に、素子の特性は表4に示した。

【0132】表4に示したように、実施例24のホール素子は定格入力電圧に於いて、500Gの磁束密度を持つ磁界中で225mVという大きなホール出力電圧を有する。この値は、平均的な GaAs ホール素子のホール出力電圧の2倍以上の値である。また、ホール出力電圧の温度特性は実施例17と同様であり、100℃以上においてもよい温度特性を示した。また素子抵抗値の温度変化も実施例17と同様に180℃程度まで全く低下することなく、温度依存性に優れていることがわかった。標準的なミニモールド型で樹脂モールドして製作した素子は、熱放散の係数は $2.3\text{ mW}/^\circ\text{C}$ 程であり、この素子は、100～180℃という従来不可能である高温に於いても使用できることが明らかとなった。また、低温側での使用は-60℃でも問題はなく、広い温度範囲で信頼性のあることがわかった。このように本発明の積層体を用いて作製されたホール素子は、磁界でのホール出力電圧が大きく即ち高感度で、かつ高温まで使用でき、信頼性も極めて高い。

【0133】以上、これまでの結果をまとめると表1～表4のようになる。表2および表4中で温度特性を示すランクA、BおよびCは、Aは温度特性が非常に優れ、高温においても素子抵抗値の低下は全く見られない。Bは温度特性は優れているが、高温において若干の素子抵抗値の低下が見られるが実用上支障のないもので、Cは高温部での素子抵抗値の低下が大きく、実用上温度特性に問題がある、ことを表している。

【0134】

【表1】

| 実施例 No. | センサ層の組成と膜圧 (Å) | 第2化合物 半導体層 | 膜 特 性 | | |
|------------|----------------------|---------------|-----------------------------------|--------------|---|
| | | | Mobility (cm ² /Vs) | シート抵抗 (Ω) | 電子濃度 (×10 ¹⁸ cm ⁻³) |
| 1 | シリコンドープ (Si-In) InAs | 無 | 19000 | 150 | 0.88 |
| 2 | Si-InAs | 無 | 19000 | 230 | 0.95 |
| 3 | Si-InAs | 無 | 19000 | 300 | 1.10 |
| 比較例1 | 不整合 Si-InAs | 無 | 測定不可 | 同左 | 同左 |
| 4 | Si-InAs | 有 | 21000 | 280 | 1.10 |
| 5 | Si-In Ga As | 無 | 15500 | 330 | 1.22 |
| 比較例2 | 不整合Si-In Ga As | 無 | 測定不可 | 同左 | 同左 |
| 6 | Si-In Ga As | 有 | 19000 | 310 | 1.06 |
| 7 | Si-In Ga As | 有 | 13000 | 380 | 1.26 |
| 8 | Si-In Ga As | 有 | 9000 | 420 | 1.65 |
| 9 | Si-In Ga As Sb | 有 | 20000 | 270 | 1.10 |
| 比較例3 | 不整合Si-In Ga As Sb | 有 | 測定不可 | 同左 | 同左 |
| 10 | Si-In Ga As Sb | 有 | 21000 | 270 | 1.10 |
| 11 | Si-In Ga As Sb | 有 | 21000 | 250 | 1.19 |

| 実施例 No. | センサ層の組成と膜圧 (A) | 第2化合物 半導体層 | ホール素子特性 | | | |
|------------|----------------------|---------------|-----------------------|-------------------|---------------------|------|
| | | | ホト出力電圧V (mV/500cV) | R (Ω) | ホト電圧V (mV/0.5cV) | 温度特性 |
| 1 | シリコンドープ (Si-In) InAs | 無 | 210 | 375 | 1.20 ± 0.40 | A |
| 2 | Si-InAs | 無 | 260 | 460 | 同上 | A |
| 3 | Si-InAs | 無 | 270 | 580 | 同上 | A |
| 比較例1 | 不整合 Si-InAs | 無 | 素子化不可 | — | — | — |
| 4 | Si-InAs | 有 | 309 | 560 | 1.20 ± 0.40 | A |
| 5 | Si-In Ga As | 無 | 200 | 650 | 同上 | A |
| 比較例2 | 不整合 Si-In Ga As | 無 | 素子化不可 | — | — | — |
| 6 | Si-In Ga As | 有 | 240 | 640 | 1.20 ± 0.40 | A |
| 7 | Si-In Ga As | 有 | 195 | 750 | 同上 | A |
| 8 | Si-In Ga As | 有 | 140 | 840 | 同上 | A |
| 9 | Si-In Ga As Sb | 有 | 300 | 540 | 同上 | A |
| 比較例3 | 不整合 Si-In Ga As Sb | 有 | 素子化不可 | — | — | — |
| 10 | Si-In Ga As Sb | 有 | 310 | 530 | 1.20 ± 0.40 | A |
| 11 | Si-In Ga As Sb | 有 | 305 | 525 | 同上 | A |

[0136]

【表3】

| 実施例 No. | 半導体層の組成と膜厚 (Å) | 第2化合物 半導体層 | 膜 特 性 | | | |
|------------|-------------------|---------------|-----------------------------------|----------------|--|--|
| | | | Mobility (cm ² /Vs) | シート抵抗 (Ω/□) | 電子移動度 (×10 ¹⁷ cm ⁻²) | |
| 12 | InAs | 有 | 15000 | 200 | 13.9 | |
| 比較例4 | 不整合InAs | 有 | 2300 | 1030 | 17.5 | |
| 13 | InAs | 有 | 15000 | 215 | 9.70 | |
| 14 | InAs | 有 | 15000 | 250 | 5.60 | |
| 15 | InAs | 有 | 14000 | 220 | 20.3 | |
| 16 | InGaAs | 有 | 14000 | 300 | 9.90 | |
| 17 | InGaAs | 有 | 13000 | 320 | 10.0 | |
| 比較例5 | 不整合InGaAs | 有 | 2000 | 1100 | 18.9 | |
| 18 | InGaAs | 有 | 14000 | 360 | 8.30 | |
| 19 | InGaAs | 有 | 10000 | 400 | 10.4 | |
| 20 | InGaAsSb | 有 | 15000 | 300 | 9.30 | |
| 比較例6 | 不整合InGaAsSb | 有 | 2200 | 1050 | 18.0 | |
| 21 | InGaAsSb | 有 | 15000 | 290 | 9.60 | |
| 22 | InGaAsSb | 有 | 16000 | 270 | 9.60 | |
| 23 | InAs InSb界面 | 有 | 21000 | 205 | 9.70 | |
| 24 | InGaAs InSb界面 | 有 | 16000 | 300 | 8.70 | |

[0137]

【表4】

| 実施例 No. | 半導体層の組成と膜厚 (Å) | 第2化合物 半導体層 | ホール素子特性 | | | |
|------------|-------------------|---------------|---------------------|----------|----------------------|------|
| | | | ホール電圧V (mV/500G) | R (Ω) | ウェット電圧V (mV/0.6V) | 温度特性 |
| 12 | InAs | 有 | 220 | 400 | 1.20±0.40 | A |
| 比較例4 | 不整合InAs | 有 | 35 | 2000 | 5.00±0.40 | C |
| 13 | InAs | 有 | 225 | 430 | 1.20±0.40 | A |
| 14 | InAs | 有 | 210 | 500 | 同上 | A |
| 15 | InAs | 有 | 170 | 440 | 同上 | A |
| 16 | InGaAs | 有 | 215 | 600 | 同上 | A |
| 17 | InGaAs | 有 | 205 | 620 | 同上 | A |
| 比較例5 | 不整合InGaAs | 有 | 30 | 2200 | 5.00±0.40 | C |
| 18 | InGaAs | 有 | 205 | 700 | 1.20±0.40 | A |
| 19 | InGaAs | 有 | 150 | 800 | 同上 | A |
| 20 | InGaAsSb | 有 | 210 | 600 | 同上 | A |
| 比較例6 | 不整合InGaAsSb | 有 | 30 | 2100 | 5.00±0.40 | C |
| 21 | InGaAsSb | 有 | 215 | 580 | 1.20±0.40 | A |
| 22 | InGaAsSb | 有 | 230 | 540 | 同上 | A |
| 23 | InAsInSb界面 | 有 | 260 | 410 | 同上 | A |
| 24 | InGaAsInSb界面 | 有 | 225 | 610 | 同上 | A |

【0138】以上、本発明を実施例によって述べたが、本発明はこれらに限定されるものではなく、さらに、本発明に基づいた多くの例があり、多様な応用が可能であり、これらはすべて本発明の範囲である。

【0139】

【発明の効果】以上述べたごとく、本発明の積層体は、きわめて高い電子移動度が実現でき、磁気センサとして応用すれば、従来にない、高感度、高出力の磁気センサを作製できる。また、薄膜形成や素子形成プロセスは、

大量生産が可能であり、工学的に有益な技術である。さらに、結晶性のよい $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 < x \leq 1.0$, $0 \leq y < 1.0$) 薄膜層を感磁部としており、磁気センサ出力や素子抵抗値の温度依存性も小さく、また素子抵抗値が高温まで低下しないため、耐熱性、耐圧も大きく、使用できる温度範囲も広く信頼性も高い。このため、従来できなかった広い応用が可能であり、産業上の有用性は計り知れない。

【図面の簡単な説明】

39

40

【図1】本発明の積層体を用いて作製された磁気センサの1例である、ホール素子の構造を示す断面図および上面図である。

【図2】第二の化合物半導体層を有する本発明の他の実施例を示す断面図である。

【図3】第一、及び、第二の化合物半導体層から電子を供給する構造を有する実施例を示す断面図である。

【図4】InAs層と第一化合物半導体層の界面結合種を拡大した模式図である。

【図5】本発明の積層体を用いて作製された磁気センサの1例である磁気抵抗素子の例を示す断面図および上面図である。

【図6】本発明の積層体を用いて作製された磁気センサの1例であるホール素子とIC回路の形成されたSiICのチップとが同一パッケージ内にモールドされた本発明のハイブリッド磁気センサの例を示す模式的断面図である。

【図7】本発明の実施例1におけるホール出力電圧の温度特性を示す特性図である。

【図8】本発明の実施例1における素子抵抗値の温度変化を示す特性図である。

【図9】本発明の実施例5におけるホール出力電圧の温度特性を示す特性図である。

【図10】本発明の実施例5における素子抵抗値の温度変化を示した図である。

*【図11】本発明の実施例12におけるホール出力電圧の温度特性を示す特性図である。

【図12】本発明の実施例12における素子抵抗値の温度変化を示す特性図である。

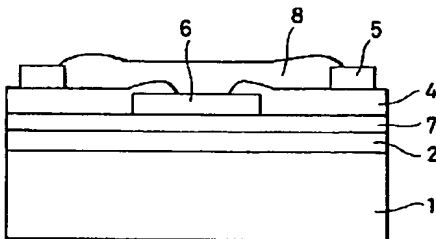
【図13】本発明の実施例17におけるホール出力電圧の温度特性を示す特性図である。

【図14】本発明の実施例17における素子抵抗値の温度変化を示す特性図である。

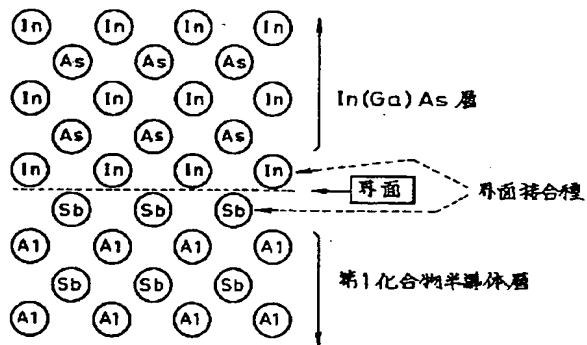
【符号の説明】

- | | |
|----|--------------|
| 1 | 基板 |
| 2 | 第一化合物半導体層 |
| 3 | 半導体層 |
| 4 | オーム性の電極 |
| 5 | ボンディングのための電極 |
| 6 | 第二化合物半導体層 |
| 7 | ドナー不純物 |
| 8 | パッシベーション層 |
| 9 | ドナー不純物 |
| 10 | ショートバー電極 |
| 11 | 磁気センサチップ |
| 12 | SiICチップ |
| 13 | アイランド部 |
| 14 | リード |
| 15 | ワイヤ |
| 16 | モールド樹脂 |

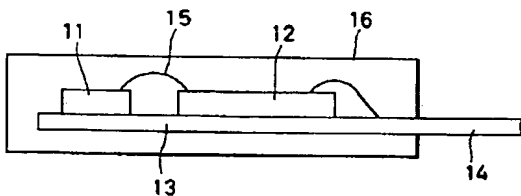
【図2】



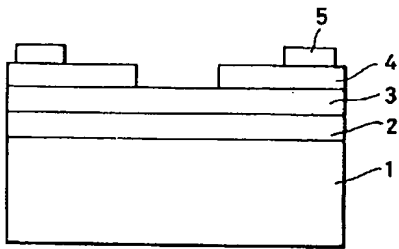
【図4】



【図6】

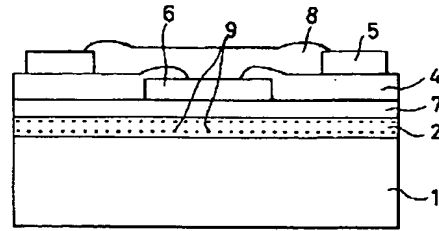


【図1】

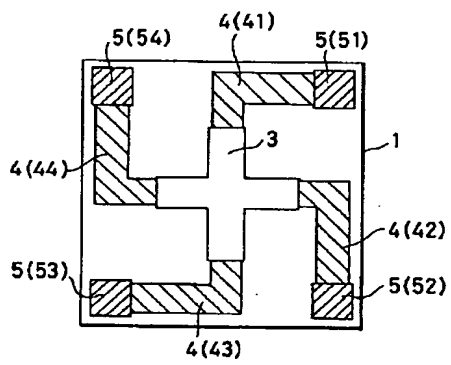


(a)

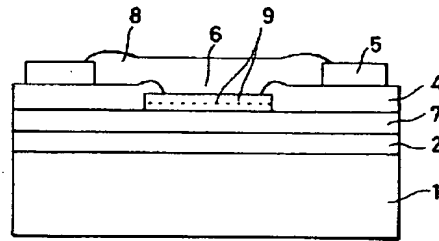
【図3】



(a)

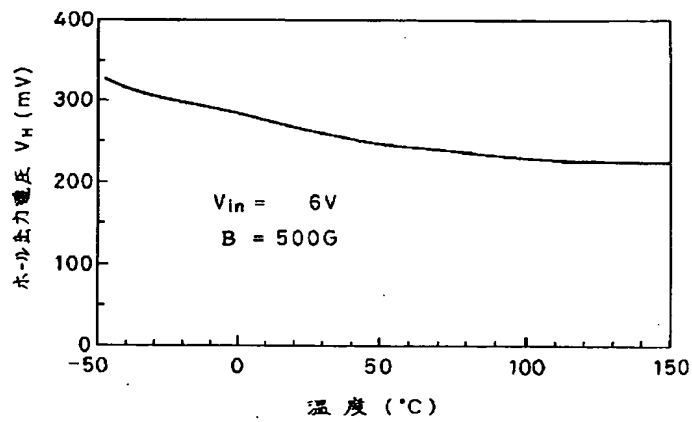


(b)

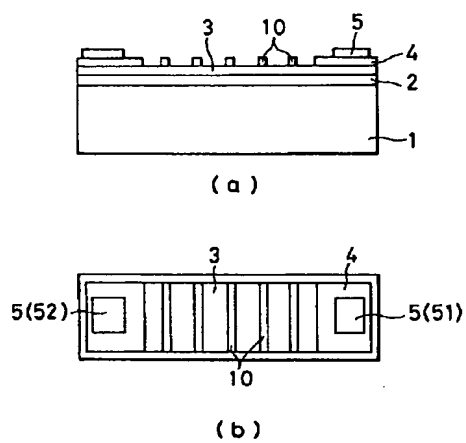


(b)

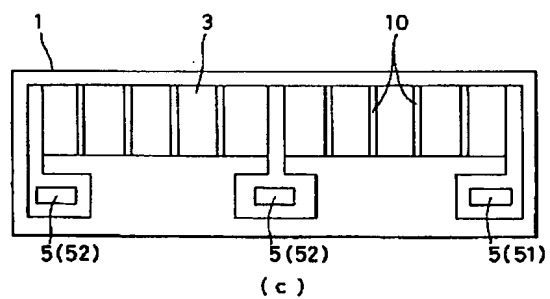
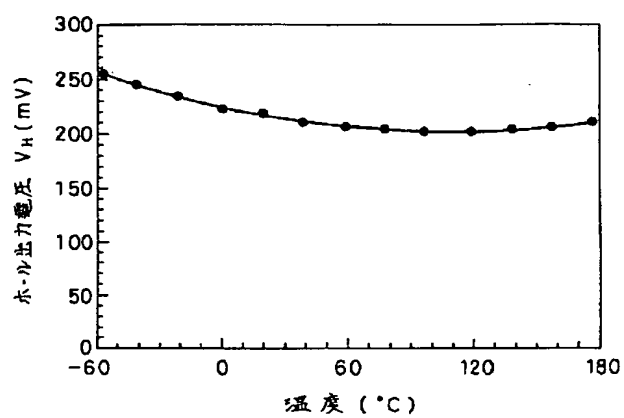
【図7】



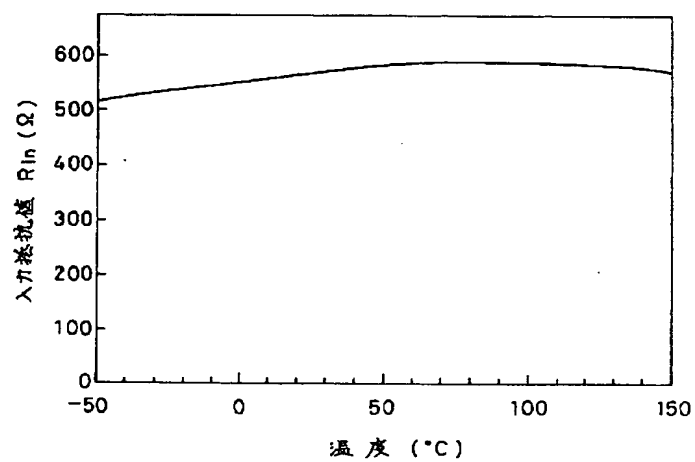
【図5】



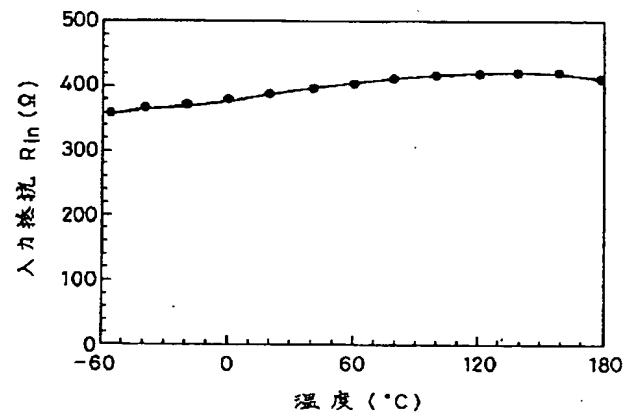
【図9】



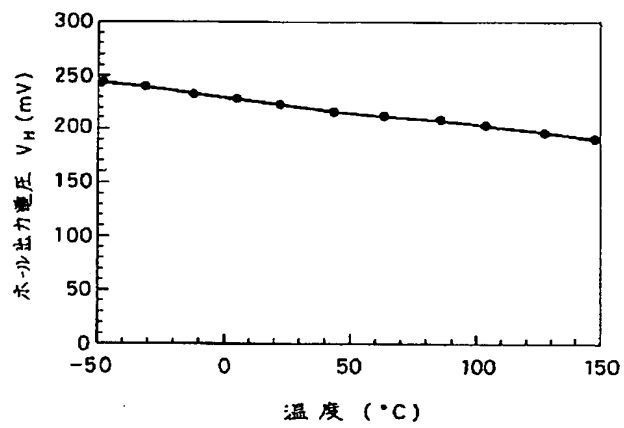
【図8】



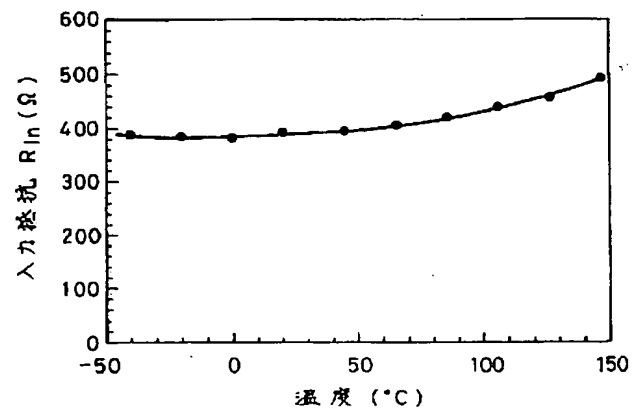
【図10】



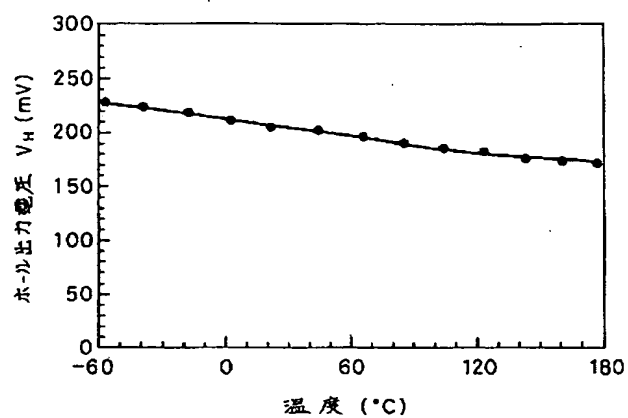
【図11】



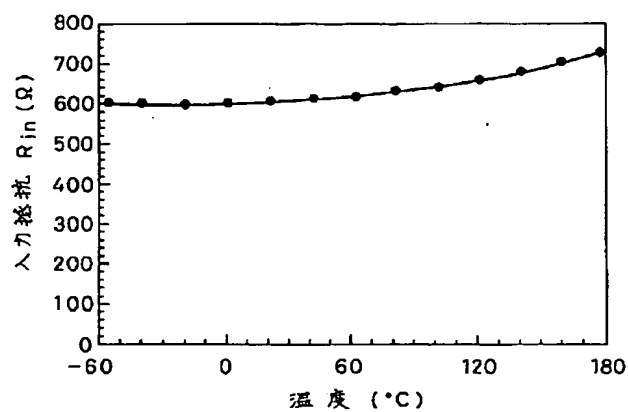
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.⁷
H01L 43/08

識別記号

F I

(72)発明者 岩渕 達郎
静岡県富士市鮫島2番地の1 旭化成工
業株式会社内

(58)調査した分野(Int.Cl.⁷, DB名)

(56)参考文献 特開 平4-333242 (J P, A)
特開 平1-256175 (J P, A)

H01L 43/06
H01L 21/203
H01L 21/338
H01L 29/778
H01L 29/812
H01L 43/08

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.